

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**





①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Übersetzung der  
europäischen Patentschrift

⑧7 EP 0 512 621 B1

⑩ DE 692 21 527 T 2

⑤1 Int. Cl.<sup>6</sup>:  
**H 03 L 7/16**  
H 03 L 7/081

②1 Deutsches Aktenzeichen: 692 21 527.1  
⑧8 Europäisches Aktenzeichen: 92 201 212.5  
⑧6 Europäischer Anmeldetag: 4. 5. 92  
⑧7 Erstveröffentlichung durch das EPA: 11. 11. 92  
⑧7 Veröffentlichungstag  
der Patenterteilung beim EPA: 13. 8. 97  
④7 Veröffentlichungstag im Patentblatt: 19. 2. 98

③0 Unionspriorität:

91201105 08.05.91 EP

⑦3 Patentinhaber:

Philips Electronics N.V., Eindhoven, NL

⑦4 Vertreter:

Poddig, D., Dipl.-Ing., Pat.-Ass., 22335 Hamburg

⑧4 Benannte Vertragsstaaten:

DE, FR, GB, IT, SE

⑦2 Erfinder:

Dijkhof, Antonie, NL-5656 AA Eindhoven, NL

⑤4 Digitale Phasenverriegelungsschleife und digitaler Oszillator zum Gebrauch in der digitalen Phasenverriegelungsschleife

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel 173 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patentamt inhaltlich nicht geprüft.

DE 692 21 527 T 2

DE 692 21 527 T 2

## Digitale Phasenverriegelungsschleife und digitaler Oszillator zum Gebrauch in der digitalen Phasenverriegelungsschleife

Die Erfindung bezieht sich auf eine digitale Phasenverriegelungsschleife mit einem spannungsgesteuerten Oszillator und einem Phasendetektor, von dem ein Ausgang über ein Tiefpaßfilter mit einem Eingang des spannungsgesteuerten Oszillators gekoppelt ist, von dem ein Ausgang mit einem ersten Eingang des Phasendetektors gekoppelt ist, von dem ein zweiter Eingang mit einem Ausgang eines digitalen Oszillators gekoppelt ist, der Schiebe-und-Multiplexmittel enthält zum um eine vorbestimmte Phasengröße je Zeitintervall Verschieben eines an einem Eingang des digitalen Oszillators vorhandenen Bezugssignals und zum Erzeugen eines Ausgangssignals an dem Ausgang des digitalen Oszillators, wobei dieses Ausgangssignal das um eine vorbestimmte Phasengröße je Zeitintervall verschobene Bezugssignal ist. Die Erfindung bezieht sich weiterhin auf eine Phasenverriegelungsschleife, in der eine solche Oszillatorschleife verwendet wird.

Ein digitaler Oszillator für eine solche Phasenverriegelungsschleife ist aus dem US Patent Nr. 4.468.788 bekannt.

Ein einfacher digitaler Oszillator, der als programmierbarer Impulsgenerator ausgebildet sein kann, erzeugt ein Signal in Form einer Anzahl Impulse je Zeiteinheit, beispielsweise 2 Millionen Impulse je Sekunde. Die Frequenz dieses Signals ist dann 2 MHz und kann auf einfache Weise dadurch verringert werden, daß ein oder mehr Impulse je Zeiteinheit gesperrt werden.

Bei Verwendung eines solchen digitalen Oszillators in einer Phasenverriegelungsschleife (PLL) wird das Signal des digitalen Oszillators zusammen mit dem Ausgangssignal des spannungsgesteuerten Oszillators (VCO) dem Phasendetektor zugeführt. Über das Tiefpaßfilter wird das Ausgangssignal des Phasendetektors, das für den Phasenunterschied zwischen den beiden zugeführten Signalen maßgebend ist, dem Eingang des VCO angeboten. Die Zeitkonstante des Tiefpaßfilters bestimmt die Zeit, welche die PLL braucht um auf Frequenzänderungen des Signals des digitalen Oszillators zu reagieren, und wird dadurch vorzugsweise möglichst klein gemacht. Die un-

tere Grenze der Zeitkonstanten wird durch die minimal mögliche Frequenzänderung des Signals des digitalen Oszillators bestimmt. In einigen digitalen Fernsprechämtern ist bei einer Basisfrequenz von 2 MHz mit einer Genauigkeit von 100 ppm (200 Hz) eine minimal mögliche Frequenzänderung erforderlich, was einer Änderung von 1/64  
5 Impuls in der Sekunde, d.h. eine Änderung von 1 Impuls je 64 Sekunden entspricht. Die minimal erforderliche Zeitkonstante beträgt in diesem Fall 64 Sekunden, wodurch die PPL dann viel zu langsam auf Frequenzänderungen reagiert.

In dem digitalen Oszillator nach dem obengenannten US Patent sind Schiebe-und-Multiplexmittel vorgesehen, die zu regelmäßigen Zeitpunkten Phasenver-  
10 schiebungen in das Bezugssignal hineinführen. Wenn das Bezugssignal um eine spezifische Phasengröße in einer positiven Phasenrichtung je Zeitintervall verschoben wird, hat das Ausgangssignal eine niedrigere Frequenz als das Bezugssignal. Wenn andererseits das Bezugssignal um eine spezifische Phasengröße in einer negativen Phasen-  
15 richtung je Zeitintervall verschoben wird, hat das Ausgangssignal eine höhere Frequenz als das Bezugssignal. Wenn die Frequenz des Bezugssignals beispielsweise 2 MHz beträgt und wenn dieses Signal alle Mikrosekunden um 90° in einer positiven Phasenrichtung verschoben wird, gibt es alle 4 Mikrosekunden eine positive Phasenverschiebung von 360°, was einer negativen Frequenzänderung von 250 kHz entspricht. In diesem Fall beträgt die Frequenz des Ausgangssignals 1,75 MHz. Wird  
20 das Bezugssignal dagegen alle Mikrosekunden um 90° in negativer Phasenrichtung verschoben, so gibt es alle 4 Mikrosekunden eine negative Phasenverschiebung von 360°, was einer positiven Frequenzänderung von 250 kHz entspricht. In dem Fall beträgt die Frequenz des Ausgangssignals 2,25 MHz.

Dadurch, daß nicht, wie bei dem als programmierbarer Impulsgenerator  
25 ausgebildeten digitalen Oszillator eine Frequenzänderung dadurch erhalten wird, daß ein oder mehr Impulse je Zeiteinheit gesperrt werden, sondern daß bei diesem digitalen Oszillator eine Frequenzänderung dadurch herbeigeführt wird, daß jedes Zeitintervall eine Phasenverschiebung durchgeführt wird, bekommt das Ausgangssignal des digitalen Oszillators einen gleichmäßigeren Charakter. Bei Verwendung in der PLL kann  
30 dann ein Tiefpaßfilter mit einer geringeren Zeitkonstanten ausreichen, wobei das Ausmaß der Verringerung der Zeitkonstanten von der Größe der Phasenverschiebung

abhängig ist. Wenn diese Verschiebung beispielsweise  $90^\circ$  beträgt, wird eine 4mal geringere Zeitkonstante ausreichen.

Es ist nun u.a. eine Aufgabe der vorliegenden Erfindung eine digitale PLL zu schaffen, wobei ein Tiefpaßfilter mit einer noch kleineren Zeitkonstanten ausreicht.

Dazu weist die digitale PLL das Kennzeichen auf, daß die Schiebe- und Multiplexmittel des digitalen Oszillators zum mittels wenigstens eines in dem Zeitintervall liegenden Phasenimpulses mit einer vorbestimmten Amplitude in dem Zeitintervall zusätzlichen Phasenschieben des Bezugssignals.

Nach der Erfindung geht der Phasenverschiebung um die vorbestimmte Phasengröße, die einmal je Zeitintervall stattfindet, ein Phasenimpuls mit einer vorbestimmten Amplitude vorher. Das Ausgangssignal des Oszillators wird dadurch besser integrierbar, wodurch in der PLL ein Tiefpaßfilter mit einer noch kleineren Zeitkonstanten ausreicht.

In einer ersten Ausführungsform der digitalen PLL nach der Erfindung weist diese digitale PLL das Kennzeichen auf, daß die vorbestimmte Amplitude des Phasenimpulses der vorbestimmten Phasengröße nahezu entspricht.

Dadurch, daß die vorbestimmte Amplitude des Phasenimpulses der vorbestimmten Phasengröße entsprechend gewählt wird, läßt sich diese Ausführungsform auf einfache Weise verwirklichen.

In einer zweiten Ausführungsform der digitalen PLL nach der Erfindung weist diese PLL das Kennzeichen auf, daß in dem Fall, wo wenigstens zwei Phasenimpulse in einem Zeitintervall auftreten, die Impulsdauer für jeden nächsten Phasenimpuls in diesem Zeitintervall zunimmt.

In dem Fall wird das Ausgangssignal des digitalen Oszillators weitgehend integrierbar, so daß es ausreicht, wenn die PLL ein Tiefpaßfilter mit einer sehr kleinen Zeitkonstanten aufweist.

In einer dritten Ausführungsform der digitalen PLL nach der Erfindung weist diese PLL das Kennzeichen auf, daß der digitale Oszillator weiterhin Steuermittel aufweist zum Erzeugen eines Steuersignals, dessen Dauer dem Zeitintervall entspricht, wobei von diesen Steuermitteln ein Ausgang mit einem Steuereingang der

Beförderungsmittel gekoppelt ist zum Befördern des Steuersignals zu den Schiebe- und-Multiplexmitteln, wobei eine erste Phasenverschiebung in Antwort auf ein erstes Steuersignal auftritt und wobei eine nächste Phasenverschiebung in Antwort auf ein nächstes Steuersignal auftritt.

- 5                   Dadurch, daß gestattet wird, daß jede Phasenverschiebung in Antwort auf ein Steuersignal auftritt, dessen Dauer dem Zeitintervall entspricht, wird die Größe der Frequenzänderung des Bezugssignals dadurch einstellbar, daß mit den Steuermitteln die Dauer des Steuersignals eingestellt wird, während die Größe der Phasenverschiebungen nach wie vor konstant ist. Nimmt die Dauer des Steuersignals und damit  
10 die Größe des Zeitintervalls ab, so gibt es je Sekunde mehr Phasenverschiebungen und die Frequenzänderung nimmt zu. Nimmt die Dauer des Steuersignals und damit die Größe des Zeitintervalls zu, so gibt es weniger Phasenverschiebungen je Sekunde und die Frequenzänderung nimmt ab.

- In einer vierten Ausführungsform der digitalen PLL nach der Erfindung  
15 weist die digitale PLL das Kennzeichen auf, daß die Steuermittel dazu eingerichtet sind, während des ersten Steuersignals, dessen Dauer dem Zeitintervall entspricht, vorübergehend das nächste Steuersignal erzeugen, dessen Dauer der Impulsdauer des Phasenimpulses entspricht.

- Dadurch, daß bei dieser PLL in dem digitalen Oszillator während des  
20 Zeitintervalls, das zwischen der ersten Phasenverschiebung und der nächsten Phasenverschiebung liegt, die nächste Phasenverschiebung bereits vorübergehend stattfindet, wird das Ausgangssignal des digitalen Oszillators besser integrierbar, wie bereits oben beschrieben worden ist. Die Impulsdauer des Phasenimpulses ist dabei dadurch einstellbar, daß die Länge des nächsten, vorübergehend erzeugten Steuersignals geändert  
25 wird.

- In einer fünften Ausführungsform der digitalen PLL nach der Erfindung weist diese digitale PLL das Kennzeichen auf, daß die Steuermittel mit Aufteilungsmitteln versehen sind zum Aufteilen des dem ersten Steuersignal zugeordneten Zeitintervalls in Teilintervalle, damit die Steuermittel während dieser Teilintervalle  
30 vorübergehend das nächste Steuersignal erzeugen, dessen Dauer bei jedem nachfolgenden Teilintervall zunimmt und der Länge des Teilintervalls höchstens entspricht.

Das Ausgangssignal des in dieser PLL verwendeten Oszillators ist, wie bereits oben beschrieben, durchaus integrierbar. Wenn die Aufteilungsmittel das Zeitintervall beispielsweise in 4 Teilintervalle aufteilen, wobei in dem ersten Teilintervall die nächste Phasenverschiebung nicht stattfindet, wobei in dem zweiten Teilintervall die nächste Phasenverschiebung während  $\frac{1}{4}$  der Dauer dieses Teilintervalls stattfindet, wobei in dem dritten Teilintervall die nächste Phasenverschiebung während  $\frac{2}{4}$  der Dauer dieses Teilintervalls stattfindet und wobei in dem vierten Teilintervall die nächste Phasenverschiebung während  $\frac{3}{4}$  der Dauer dieses Teilintervalls stattfindet, kann bei Verwendung eines derartigen Oszillators in der PLL ein Tiefpaßfilter mit einer sehr kleinen Zeitkonstanten ausreichen, sogar wenn eine sehr kleine minimale Frequenzänderung von beispielsweise  $\frac{1}{64}$  Hz möglich ist.

In einer sechsten Ausführungsform der digitalen PLL nach der Erfindung weist diese PLL das Kennzeichen auf, daß die Schiebe-und-Multiplexmittel ein Schieberegister und einen Multiplexer aufweisen, wobei ein Eingang des Schieberegisters den Eingang des digitalen Oszillators bildet und wobei Ausgänge des Schieberegisters mit Eingängen des Multiplexers gekoppelt sind und ein Ausgang des Multiplexers den Ausgang des digitalen Oszillators bildet.

Diese PLL hat eine sehr einfache Struktur. Wenn beispielsweise Phasenverschiebungen von je  $90^\circ$  erwünscht sind, soll das Schieberegister 4 Ausgänge aufweisen, an denen das Bezugssignal um  $0^\circ$ ,  $90^\circ$ ,  $180^\circ$  bzw.  $270^\circ$  phasenverschoben verfügbar ist. Jeder Ausgang ist mit einem zugeordneten Eingang des Multiplexers gekoppelt, von dem jeweils einer der Eingänge mit seinem Ausgang verbunden ist. An diesem Ausgang ist dann das je Zeitintervall phasenverschobene Bezugssignal verfügbar.

In einer siebenten Ausführungsform der digitalen PLL nach der Erfindung weist diese digitale PLL das Kennzeichen auf, daß die Steuermittel einen ersten Zähler, einen zweiten Zähler und eine Vergleichsstufe aufweisen, wobei die am wenigsten signifikanten Ausgänge des ersten Zählers mit einem ersten Eingang der Vergleichsstufe gekoppelt sind, wobei Ausgänge des zweiten Zählers mit einem zweiten Eingang der Vergleichsstufe gekoppelt sind, wobei die signifikantesten Ausgänge des ersten Zählers zusammen mit einem Ausgang der Vergleichsstufe den Ausgang der



Steuermittel bilden, wobei dieser Ausgang der Steuermittel mit einem Steuereingang des Multiplexers gekoppelt ist, wobei dieser Steuereingang den Steuereingang der Schiebe-undMultiplexmittel bildet, und wobei der erste Zähler die Aufteilungsmittel bildet.

- 5 Die signifikantesten Ausgänge des ersten Zählers erzeugen das Steuer-  
signal, wobei in Antwort darauf die Frequenzverschiebung je Zeitintervall stattfindet.  
Die Dauer dieses Signals, die dem Zeitintervall entspricht, wird damit durch die Zy-  
klusdauer der am wenigsten signifikanten Ausgänge bestimmt. Die Anzahl etwaiger  
Zähl Zählerstellungen an den am wenigsten signifikanten Ausgängen entspricht dann  
10 der Anzahl Teilintervalle je Zeitintervall. Die Vergleichsschaltung bestimmt, ob diese  
Zählerstellung höher ist als die Zählerstellung an dem zweiten Zähler um während der  
Teilintervalle das nächste Steuersignal mit einer je Teilintervall zunehmender Dauer  
zu erzeugen.

- Ausführungsbeispiele der Erfindung sind in der Zeichnung dargestellt  
15 und werden im folgenden näher beschrieben. Es zeigen:  
Fig. 1 die digitale PLL nach der Erfindung,  
Fig. 2 ein Zeitdiagramm in dem digitalen Oszillator verfügbarer Signale  
und

- Fig. 3 eine Übersicht in dem Bezugssignal auftretender Phasenverschie-  
20 bungen für verschiedene Impulsgeneratorfrequenzen.

- Die in Fig. 1 dargestellte digitale PLL umfaßt einen digitalen Oszillator  
20, einen Phasendetektor 21, ein Tiefpaßfilter 22 und einen spannungsgesteuerten Os-  
zillator (VCO). Ein Ausgang des VCOs 23 ist mit einem ersten Eingang des Phasen-  
detektors 21 verbunden, von dem ein Ausgang über das Tiefpaßfilter 22 mit einem  
25 Eingang des VCOs 23 verbunden ist. Ein Ausgang des Oszillators 20 ist mit einem  
zweiten Eingang des Phasendetektors 21 verbunden. Dem Oszillator 20 zugeordnete  
Mittel 1 umfassen ein Schieberegister 2 und einen Multiplexer 3. Ein Dateneingang 2-  
1 des Schieberegisters 2 bildet einen Eingang der Mittel 1 und empfänger über den  
Teiler 4 ein bezugssignal, das weiterhin unmittelbar einem Takteingang 2-2 des Schie-  
ber gisters 2 angeboten wird. Dieses Bezugssignal rührt beispielsweise von einem in  
30 der Figur nicht dargestellten Kristall her, der mit einer Frequenz von 8 MHz schwingt.

Wenn der Teiler 4 durch einen Faktor vier teilt, wird dem Dateneingang 2-1 ein Signal mit einer Frequenz von 2 MHz angeboten. Das Schieberegister 2 hat vier Ausgänge, an denen das dem Dateneingang 2-1 angebotene Signal um jeweils  $90^\circ$  phasenverschoben verfügbar ist. Ein  $0^\circ$  Ausgang ist mit Eingängen 3-0 und 3-7 des Multiplexers 3 verbunden, ein  $90^\circ$  Ausgang ist mit Eingängen 3-1 und 3-2 verbunden, ein  $180^\circ$  Ausgang ist mit Eingängen 3-3 und 3-4 verbunden und ein  $270^\circ$  Ausgang ist mit Eingängen 3-5 und 3-6 verbunden. Der Ausgang des Multiplexers 3 bildet einen Ausgang der Mittel 1, an dem ein Ausgangssignal verfügbar ist. Weiterhin verfügt der Multiplexer 3 über drei Steuereingängen 3-9, 3-10 und 3-11, die zusammen einen Steuereingang der Mittel 1 bilden. Die Kopplung der Ausgänge des Schieberegisters 2 mit den Eingängen des Multiplexers 3 ist derart, daß mit Steuersignalen an den Steuereingängen 3-9 und 3-10 eingestellt wird, welcher Ausgang des Schieberegisters 2 mit dem Ausgang der Mittel 1 durchgekoppelt wird. Mit einem Steuersignal am Steuereingang 3-11 kann dann (vorübergehend) ein nächster Ausgang des Schieberegisters durchgekoppelt werden. Im Grunde wird mit Steuersignalen an den Steuereingängen 3-9 und 3-10 bestimmt, welcher der Eingänge 3-0, 3-2, 3-4 oder 3-6 mit dem Ausgang 3-8 durchgekoppelt wird, und wird mit einem Steuersignal am Steuereingang 3-11 bestimmt, ob statt des Eingangs 3-0 der Eingang 3-1 durchgekoppelt wird, oder anstatt des Eingangs 3-2 der Eingang 3-3, oder ob statt des Eingangs 3-4 der Eingang 3-5, oder aber ob statt des Eingangs 3-6 der Eingang 3-7 durchgekoppelt wird. Im wesentlichen bedeutet dies, daß mit Steuersignalen an den Steuereingängen 3-9 und 3-10 der Phasensprung von  $90^\circ$  je Zeitintervall verwirklicht wird, während mit einem Steuersignal am Steuereingang 3-11 der vorübergehende zusätzliche Phasensprung von  $90^\circ$  (der Phasenimpuls, in diesem Fall mit einer Amplitude von  $90^\circ$ ) während des Zeitintervalls verwirklicht wird.

Diese Steuersignale werden durch Steuermittel 5 erzeugt, die einen ersten Zähler 6, einen zweiten Zähler 7 und eine Vergleichsstufe 8 umfassen. Der Zähler 6 hat vier Ausgänge. Die zwei signifikantesten Ausgänge sind mit Steuereingang 3-9 und 3-10 des Multiplexers 3 und die zwei am wenigsten signifikanten Ausgänge sind mit einem ersten Eingang der Vergleichsstufe 8 g koppelt. Der Zähler 7 hat zwei Ausgänge, die mit einem zweiten Ausgang der Vergleichsschaltung 8 gekoppelt sind. Der

Ausgang der Vergleichsschaltung 8 ist mit dem Steuereingang 3-11 gekoppelt. Ein Takteingang des Zählers 7 empfängt das Bezugssignal, und ein Takteingang des Zählers 6 ist mit einem Ausgang des programmierbaren Impulsgenerators 9 gekoppelt.

Dieser programmierbare Impulsgenerator 9 umfaßt einen Puffer 10 mit  
5 vier Ausgängen zum Einstellen und Speichern eines bestimmten Datenwortes, das an den Ausgängen verfügbar ist. Der erste am wenigsten signifikante Ausgang 10-1 davon ist mit einem Dateneingang einer D-Flip-Flop-Schaltung (DFF) 11 gekoppelt, der zweite Ausgang 10-2 ist mit einem Dateneingang von DFF 12 gekoppelt; der dritte Ausgang 10-3 ist mit einem Dateneingang von DFF 13 gekoppelt und der vierte, signifikanteste Ausgang 10-4 ist mit einem Dateneingang von DFF 14 gekoppelt. Ausgänge  
10 der DFFen 11, 12, 13 und 14 sind mit Eingängen des ODER-Gatters 15 gekoppelt, wobei ein Ausgang des ODER-Gatters 15 einen Ausgang der Steuermittel bildet und mit einem Takteingang des Zählers 6 gekoppelt ist. Weiterhin umfaßt der Impulsgenerator 9 einen Teiler 16 und einen Zähler 17. Der erste am wenigsten signifikante Ausgang 17-1 desselben ist mit einem Takteingang der DFF 14 gekoppelt, der zweite Ausgang 17-2 ist mit einem Takteingang der DFF 13 gekoppelt, der dritte Ausgang 17-3 ist mit einem Takteingang der DFF 12 gekoppelt und der vierte signifikanteste Ausgang 17-4 des Zählers ist mit einem Takteingang der DFF 11 gekoppelt. Rückstelleingänge der DFFen 11, 12, 13 und 14 sind mit einer Rückstellschaltung 18 gekoppelt, die ebenso wie der Teiler 16 das Bezugssignal erhält. Ein Ausgang des Teilers 16 ist mit einem  
20 Takteingang des Zählers 17 gekoppelt.

Die Wirkungsweise des digitalen Oszillators 20, der die Mittel 1, die Steuermittel 5 und den programmierbaren Impulsgenerator 9 umfaßt, ist wie folgt. Der Impulsgenerator 9 erzeugt ein Signal mit einer einstellbaren Frequenz, beispielsweise  
25 1 MHz. Dieses Signal wird dem Takteingang des Zählers 6 angeboten, wobei in Antwort darauf dieser Zähler 6 mit einer Frequenz von 1 MHz zählt und die Zählerstellung alle Mikrosekunden um den Wert eins erhöht. Die Zyklusdauer der zwei am wenigsten signifikanten Ausgänge des Zählers 6 beträgt dann vier Mikrosekunden, was bedeutet, daß die Zählerstellung der beiden signifikantesten Ausgänge des Zählers 6  
30 alle vier Mikrosekunden um den Wert eins erhöht wird. In Antwort darauf koppelt der Multiplexer 3 alle vier Mikrosekunden einen nächsten Ausgang des Schieberegisters 2

21.10.97

durch, wobei es in dem Ausgangssignal also alle vier Mikrosekunden eine Phasenverschiebung von  $90^\circ$  gibt. Alle sechzehn Mikrosekunden beträgt die Phasenverschiebung dann  $360^\circ$ , was einer Frequenzänderung von 62,5 kHz entspricht. Bei einem dem dateneingang 2-1 angebotenen Signal mit einer Frequenz von 2 MHz erscheint dann an dem Ausgang 3-8 ein Ausgangssignal von 1,9375 MHz.

Das in Fig. 2 dargestellte Zeitdiagramm erläutert die Wirkungsweise des Oszillators 20 auf Signalpegel. Dabei wird wieder davon ausgegangen, daß die Frequenz des Bezugssignals 8 MHz beträgt und daß der Impulsgenerator 9 ein Signal erzeugt mit einer Frequenz von 1 MHz, wobei dieses Signal dem Takteingang des Zählers 6 angeboten wird. Der Zähler 6 zählt also mit einer Frequenz von 1 MHz von 0 (0000) bis 15 (1111) und erhöht dann alle Mikrosekunden die Zählerstellung um den Wert eins. Der Zähler 7 zählt mit einer Frequenz von 8 MHz von 0 (00) bis 3 (11) und erhöht dann alle 1/8 Mikrosekunden die Zählerstellung um eins.

Die Zählerstellung des Zählers 6 ist während einer ersten Mikrosekunde 0000. Die beiden signifikantesten Ausgänge sowie die beiden am wenigsten signifikanten Ausgänge haben den logischen Wert Null. Die Vergleichsstufe 8 untersucht, ob die Zählerstellung an den beiden am wenigsten signifikanten Ausgängen größer ist als die Zählerstellung des Zählers 7, der während dieser ersten Mikrosekunde zwei vollständige Zyklen zählt. Da der Wert 00 niemals größer ist als die Zählerstellung des Zählers 7, erzeugt die Vergleichsstufe 8 ein Signal mit dem logischen Wert Null während dieser ersten Mikrosekunde. Die drei Steuereingänge 3-9, 3-10 und 3-11 des Multiplexers 3 bekommen Steuersignale mit dem logischen Wert Null zugeführt, wobei in Antwort darauf während dieser ersten Mikrosekunde der Eingang 3-0 mit dem Ausgang 3-8 durchgekoppelt wird. Das Ausgangssignal ist dann das durch vier geteilte, in der Phase nicht verschobene (oder um  $0^\circ$  phasenverschobene) Bezugssignal.

Die Zählerstellung des Zählers 6 ist während einer zweiten Mikrosekunde 0001. Die Vergleichsstufe 8 vergleicht die Zählerstellung an den beiden am wenigsten signifikanten Ausgängen (01) mit der Zählerstellung des Zählers 7. Wenn diese Zählerstellung 00 beträgt, ist die Zählerstellung an den beiden am wenigsten signifikanten Ausgängen größer und erzeugt die Vergleichsstufe 8 ein Signal mit dem logischen Wert eins. Während dieser zweiten Mikrosekunde wird die Vergleichsstufe

8 also zweimal ein Signal mit dem logischen Wert eins erzeugen, jeweils mit einer Dauer von  $1/8$  Mikrosekunde (die Dauer jeder Zählerstellung am Zähler 7). Der Steuereingang 3-11 bekommt dieses Signal zugeführt, wobei in Antwort darauf während dieser zweiten Mikrosekunde also zweimal der Eingang 3-1 durchgekoppelt wird statt des Eingangs 3-0, jeweils während  $1/8$  Mikrosekunde, wobei das Ausgangssignal dann das durch vier geteilte, um  $90^\circ$  phasenverschobene Bezugssignal ist, statt des nicht phasenverschobenen (durch vier geteilten) Bezugssignals.

Die Zählerstellung des Zählers 6 ist während einer dritten Mikrosekunde 0010. Die Zählerstellung an den beiden am wenigsten signifikanten Ausgängen (10) ist größer als die Zählerstellungen 00 und 01 des Zählers 7 und während dieser dritten Mikrosekunde wird die Vergleichsstufe 8 also zweimal ein Signal mit dem logischen Wert eins erzeugen, jeweils mit einer Dauer von  $2/8$  Mikrosekunde. Der Steuereingang 3-11 bekommt dieses Signal zugeführt, wobei in Antwort darauf während dieser dritten Mikrosekunde also statt des Eingangs 3-0 zweimal der Eingang 3-1 durchgekoppelt wird, jeweils während  $2/8$  Mikrosekunde, wobei das Ausgangssignal dann das durch vier geteilte, um  $90^\circ$  phasenverschobene Bezugssignal ist, statt des nicht phasenverschobenen (durch vier geteilten) Bezugssignals.

Die Zählerstellung des Zählers 6 ist während einer vierten Mikrosekunde 0011. Die Zählerstellung an den beiden am wenigsten signifikanten Ausgängen (11) ist größer als die Zählerstellungen 00, 01 und 10 des Zählers 7 und während dieser vierten Mikrosekunde wird die Vergleichsstufe 8 also zweimal ein Signal mit dem logischen Wert eins erzeugen, jeweils mit einer Dauer von  $3/8$  Mikrosekunde. Der Steuereingang 3-11 bekommt dieses Signal zugeführt, wobei in Antwort darauf während dieser vierten Mikrosekunde also zweimal der Eingang 3-1 durchgekoppelt wird statt des Eingangs 3-3, jeweils während  $3/8$  Mikrosekunde, wobei das Ausgangssignal dann das durch vier geteilte, um  $90^\circ$  phasenverschobene Bezugssignal ist, statt des nicht phasenverschobenen (durch vier geteilten) Bezugssignals.

Die Zählerstellung des Zählers 6 beträgt während einer fünften Mikrosekunde 0100. Die Zählerstellung an den beiden signifikantesten Ausgängen (01) wird den Steuereingängen 3-9 und 3-10 zugeführt, wobei in Antwort darauf der Eingang 3-2 mit dem Ausgang 3-8 durchgekoppelt wird. Während dieser fünften Mikrosekunde ist

das Ausgangssignal dann immer das durch vier geteilte, um  $90^\circ$  phasenverschobene Bezugssignal, da die Zählerstellung an den beiden am wenigsten signifikanten Ausgängen (00) niemals größer ist als die Zählerstellung des Zählers 7, und die Vergleichsstufe 8 während dieser fünften Mikrosekunde also ständig ein Signal mit dem logischen Wert Null erzeugt.

Während einer sechsten Mikrosekunde erzeugt die Vergleichsstufe 8 wieder zweimal ein Signal mit dem logischen Wert eins, mit je einer Dauer von  $1/8$  Mikrosekunde. Der Steuereingang 3-11 bekommt dieses Signal zugeführt, wobei in Antwort darauf während dieser sechsten Mikrosekunde dann zweimal der Eingang 3-3 durchgekoppelt wird statt des Eingangs 3-2, jeweils während  $1/8$  Mikrosekunde, wobei das Ausgangssignal dann das durch vier geteilte, um  $180^\circ$  phasenverschobene Bezugssignal ist, statt des um  $90^\circ$  phasenverschobenen (durch vier geteilten) Bezugssignals, usw.

Fig. 3 zeigt das oben Beschriebene über ein großes Zeitintervall für von dem programmierten Impulsgenerator 9 erzeugte Signale mit einer Frequenz von 1 MHz, 0,5 MHz und 0,2 MHz. Im ersten Fall beträgt die Ausgangsfrequenz, wie bereits berechnet, 1,9375 MHz. Für den zweiten und dritten Fall läßt sich auf dieselbe Art und Weise berechnen, daß die Ausgangsfrequenz dann 1,96875 bzw. 1,9875 MHz beträgt.

Mit dem in Fig. 1 dargestellten programmierbaren Impulsgenerator 9 wird ein Impulssignal mit einstellbarer Frequenz erzeugt. Diese Frequenz wird mit dem in dem Puffer 10 gespeicherten Datenwort eingestellt. Wenn dieses Datenwort beispielsweise 0001 ist, bekommt von den DFFen 11, 12, 13 und 14 nur die DFF 11 an dem Dateneingang ein Signal mit dem logischen Wert eins zugeführt. Wenn der Dividend des Teilers 16 beispielsweise vier beträgt, bekommt der Zähler 17 ein Taktsignal zugeführt mit einer Frequenz von 2 MHz, und erhöht dann alle 0,5 Mikrosekunden die Zählerstellung um den Wert eins. Der vierte, signifikanteste Ausgang 17-4 des Zählers 17, der mit dem Takteingang der DFF 11 verbunden ist, hat dann während 4 Mikrosekunden den Wert Null und während vier Mikrosekunden den Wert eins. Zu einer vollständigen Zyklusdauer von 8 Mikrosekunden des Zählers 17 bekommt die DFF 11, die von dem flankengesteuerten Typ ist, in diesem Fall nur einen Taktimpuls je 8 Mikrosekunden. Dadurch, daß DFF 11 an dem Dateneingang ein Signal mit dem logi-

schen Wert eins angeboten bekommt, erzeugt DFF 11 in Antwort auf den Taktimpuls nur einen Ausgangsimpuls je 8 Mikrosekunden, der über das ODER-Gatter 15 ebenfalls an dem Ausgang des Impulsgenerators erscheint. Der Impulsgenerator 9 erzeugt damit ein Ausgangssignal mit einer Frequenz von  $1/8$  MHz.

- 5                    Wenn das Datenwort in dem Puffer 10 0010 ist, bekommt DFF 12 an den dateneingang ein Signal mit dem logischen Wert eins angeboten. Der dritte Ausgang 17-3 des Zählers 17, der mit dem takteingang von DFF 12 verbunden ist, hat während 2 Mikrosekunden den Wert Null und während 2 nachfolgender Mikrosekunden den Wert eins. DFF 12 bekommt dann je 8 Mikrosekunden zwei Taktimpulse angeboten und erzeugt dann zwei Ausgangsimpulse je 8 Mikrosekunden. Der Impulsge-  
10                    nerator 9 erzeugt dann ein Ausgangssignal mit einer Frequenz von  $2/8 = 1/4$  MHz.

- Wenn das Datenwort in dem Puffer 10 beispielsweise 0011 beträgt, bekommen DFF 11 sowie DFF 12 an den Dateneingängen Signale mit dem logischen Wert eins angeboten. Da DFF 11 nur einen und DFF 12 zwei Impulse je 8 Mikro-  
15                    sekunden angeboten bekommen und diese Impulse nicht zusammenfallen, erzeugt der Impulsgenerator 9 je 8 Mikrosekunden drei Ausgangsimpulse. Die Frequenz dieses Ausgangssignals beträgt  $3/8$  MHz, usw.

- Bei einem Datenwort 1111 in dem Puffer 10 bekommen alle DFFen 11, 12, 13 und 14 an den Dateneingängen Signale mit dem logischen Wert eins angeboten  
20                    und an den Takteingängen insgesamt 15 nicht-zusammenfallende Impulse je 8 Mikrosekunden angeboten, die von dem Zähler 17 herrühren. Der Impulsgenerator 9 erzeugt dann 15 Ausgangsimpulse je 8 Mikrosekunden, was einem Ausgangssignal mit einer Frequenz von  $15/8$  MHz entspricht.

- Auf diese Weise kann mit dem Impulsgenerator 9 ein Signal erzeugt  
25                    werden mit einer Frequenz, die schrittweise zwischen  $1/8$  MHz und  $15/8$  MHz einstellbar ist. Dieses Signal wird dem Zähler 6 zugeführt und verursacht, wie oben beschrieben, eine Frequenzänderung in dem Ausgangssignal des digitalen Oszillators 20. Dadurch, daß also ein bestimmtes Datenwort in dem Puffer 10 gewählt wird, kann die Ausgangsfrequenz des digitalen Oszillators 20 eingestellt werden.

- 30                    Wenn im allgemeinen gilt, daß:

F<sub>PPG</sub>    die Frequenz des Ausgangssignals des programmierbaren Oszillators 9 ist,

$F_{REF}$  die Frequenz des Bezugssignals ist,

$D_1$  der Dividend des Teilers 16 ist,

$N$  die Anzahl Ausgänge des Zählers 17 ist und

$K$  der Wert des Datenwortes in dem Puffer 10 ist, kann auf einfache Weise für  $F_{PPG}$

5 gefunden werden, daß:

$$F_{PPG} = \frac{F_{REF} \times K}{2^N \times D_1}$$

Der minimal gewünschte Frequenzschritt  $F_{STEPMIN}$  in dem Ausgangssignal des programmierbaren Impulsgenerators 9 beeinflusst die Größe von  $N$ . Im allgemeinen soll für  $N$  gelten:

10

$$\frac{F_{REF}}{2^N \times D_1} \leq F_{STEPMIN} < \frac{F_{REF}}{2^{N-1} \times D_1}$$

Die maximal gewünschte Frequenz  $F_{PPGMAX}$  des Ausgangssignals des programmierbaren Impulsgenerators 9 beeinflusst die Größe von  $D_1$ . Im allgemeinen soll für  $D_1$  gelten:

15

$$\frac{F_{REF}}{D_1 + 1} < F_{PPGMAX} \leq \frac{F_{REF}}{D_1}$$

Wenn im allgemeinen gilt, daß:

$F_{OUT}$  die Ausgangsfrequenz des digitalen Oszillators 20 ist,

$D_2$  der Dividend des Teilers 4 ist,

$P$  die Anzahl Ausgänge des Zählers 7 ist und

20  $P+2$  die Anzahl Ausgänge des Zählers 6 ist, kann auf einfache Weise für  $F_{OUT}$  gefunden werden, daß:

$$F_{OUT} = \frac{F_{REF}}{D_2} - \frac{F_{PPG}}{2^{P+2}}$$

Bei Verwendung des digitalen Oszillators 20 in der PLL soll die Zeitkonstante des Tiefpaßfilters 22 größer sein als

25

$$\frac{1}{F_{STEPMIN} \times 2^{2(P+2)}}$$

und auch größer sein als



$$\frac{2^P}{F_{REF}}$$

- Daraus läßt sich auf einfache Weise der optimale Wert für P (die Anzahl Ausgänge des Zählers 7) berechnen:

$$P = \frac{\log \sqrt{F_{REF}} - \log \sqrt{4 \times F_{STEPMIN} \times 2^{P+2}}}{\log 2}$$

- Bei diesem optimalen Wert für P beträgt die Jitterfrequenz  $F_{JITTER}$ :

$$F_{JITTER} = 2 \times \sqrt{F_{REF} \times F_{STEPMIN} \times 2^{P+2}}$$

- Darin beträgt  $F_{STEPMIN} \times 2^{P+2}$  die minimale Schrittgröße der Ausgangsfrequenz  $F_{OUT}$  des digitalen Oszillators 20. Da diese Jitterfrequenz  $F_{JITTER}$  sehr hoch ist, sogar bei einem kleinen Wert für  $F_{STEPMIN}$ , wird bei dieser PLL im allgemeinen ein einfaches und schnellwirkendes Tiefpaßfilter 22 ausreichen.

Auf diese Weise ist es möglich, mit dem digitalen Oszillator 20 eine Ausgangsfrequenz  $F_{OUT}$  zu erzeugen, für die gilt:

$$F_{OUT} < F_{REF} / D_2.$$

- Dadurch, daß der Zähler 6 mit einem Aufwärts/Abwärts-Eingang versehen wird, wodurch der Zähler 6 nebst dem Erhöhen der Zählerstellung um den Wert eins, auch die Möglichkeit bekommt, die Zählerstellung um den Wert eins zu verringern, ist es möglich, den Oszillator 20 auch eine Ausgangsfrequenz  $F_{OUT}$  erzeugen zu lassen, für die gilt:

$$F_{OUT} > F_{REF} / D_2.$$

Wenn beispielsweise ein Prozessor das Datenwort für den Puffer 10 liefert, je nach bestimmten Meßergebnissen, kann dieser Prozessor ebenfalls den Aufwärts/Abwärts-Eingang des Zählers 6 ansteuern.

PATENTANSPRÜCHE:

1. Digitale Phasenverriegelungsschleife mit einem spannungsgesteuerten Oszillator (23) und einem Phasendetektor (21), dessen Ausgang über ein Tiefpaßfilter (22) mit einem Eingang des spannungsgesteuerten Oszillators (23) gekoppelt ist, von dem ein Ausgang mit einem ersten Eingang des Phasendetektors (21) gekoppelt ist,  
5 von dem ein zweiter Eingang mit einem Ausgang eines digitalen Oszillators (20) gekoppelt ist, wobei der digitale Oszillator (20) Schiebe-und-Multiplexmittel (1) enthält zum um eine vorbestimmte Phasengröße je Zeitintervall Verschieben eines an einem Eingang des digitalen Oszillators vorhandenen Bezugssignals und zum Erzeugen eines Ausgangssignals an dem Ausgang des digitalen Oszillators (20), wobei dieses Aus-  
10 gangssignal das um eine vorbestimmte Phasengröße je Zeitintervall verschobene Bezugssignal ist, dadurch gekennzeichnet, daß die Schiebe-und-Multiplexmittel (1) des digitalen Oszillators (20) vorgesehen sind zum mittels wenigstens eines in dem Zeitintervall liegenden Phasenimpulses mit einer vorbestimmten Amplitude in dem Zeitintervall zusätzlichen Phasenschieben des Bezugssignals.
- 15 2. Digitale Phasenverriegelungsschleife nach Anspruch 1, dadurch gekennzeichnet, daß die vorbestimmte Amplitude der vorbestimmten Phasengröße nahezu entspricht.
3. Digitale Phasenverriegelungsschleife nach Anspruch 2, dadurch gekennzeichnet, daß für den Fall, daß wenigstens zwei Phasenimpulse in einem Zeit-  
20 tervall auftreten, für jeden nächsten Phasenimpuls in diesem Zeitintervall die Impulsdauer zunimmt.
4. Digitale Phasenverriegelungsschleife nach Anspruch 3, dadurch gekennzeichnet, daß der digitale Oszillator (20) weiterhin Steuermittel (5) aufweist zum Erzeugen eines Steuersignals, dessen Dauer dem Zeitintervall entspricht, wobei von  
25 diesen Steuermitteln (5) ein Ausgang mit einem Steuereingang der Beförderungsmittel gekoppelt ist zum Befördern des Steuersignals zu den Schiebe-und-Multiplexmitteln (1), wobei eine erste Phasenverschiebung in Antwort auf ein erstes Steuersignal auftritt

und wobei eine nächste Phasenverschiebung in Antwort auf ein nächstes Steuersignal auftritt.

5. Digitale Phasenverriegelungsschleife nach Anspruch 4, dadurch gekennzeichnet, daß die Steuermittel (5) dazu eingerichtet sind, während des ersten Steuersignals, dessen Dauer dem Zeitintervall entspricht, vorübergehend das nächste Steuersignal erzeugen, dessen Dauer der Impulsdauer des Phasenimpulses entspricht.

6. Digitale Phasenverriegelungsschleife nach Anspruch 5, dadurch gekennzeichnet, daß die Steuermittel (5) mit Aufteilungsmitteln (6) versehen sind zum Aufteilen des dem ersten Steuersignal zugeordneten Zeitintervalls in Teilintervalle, damit die Steuermittel (5) während dieser Teilintervalle vorübergehend das nächste Steuersignal erzeugen, dessen Dauer bei jedem nachfolgenden Teilintervall zunimmt und der Länge des Teilintervalls höchstens entspricht.

7. Digitale Phasenverriegelungsschleife nach Anspruch 6, dadurch gekennzeichnet, daß die Schiebe-und-Multiplexmittel (1) ein Schieberegister (2) und einen Multiplexer (3) aufweisen, wobei ein Eingang des Schieberegisters (2) den Eingang des digitalen Oszillators (20) bildet und wobei Ausgänge des Schieberegisters (2) mit Eingängen des Multiplexers (3) gekoppelt sind und ein Ausgang des Multiplexers (3) den Ausgang des digitalen Oszillators bildet.

8. Digitale Phasenverriegelungsschleife nach Anspruch 7, dadurch gekennzeichnet, daß die Steuermittel (5) einen ersten Zähler(6), einen zweiten Zähler (7) und eine Vergleichsstufe (8) aufweisen, wobei die am wenigsten signifikanten Ausgänge des ersten Zählers (6) mit einem ersten Eingang der Vergleichsstufe (8) gekoppelt sind, wobei Ausgänge des zweiten Zählers (7) mit einem zweiten Eingang der Vergleichsstufe (8) gekoppelt sind, wobei die signifikantesten Ausgänge des ersten Zählers (6) zusammen mit einem Ausgang der Vergleichsstufe den Ausgang der Steuermittel (5) bilden, wobei dieser Ausgang der Steuermittel mit einem Steuereingang des Multiplexers (3) gekoppelt ist, wobei dieser Steuereingang den Steuereingang der Schiebe-undMultiplexmittel (1) bildet, und wobei der erste Zähler (6) die Aufteilungsmittel bildet.

9. Digitaler Oszillator (20) mit Schiebe-und-Multiplexmitteln (1) zum um eine vorbestimmte Phasengröße je Zeitintervall Phasenschieben eines Bezugssignals,

21.10.97

PHN 13.698 EP

17

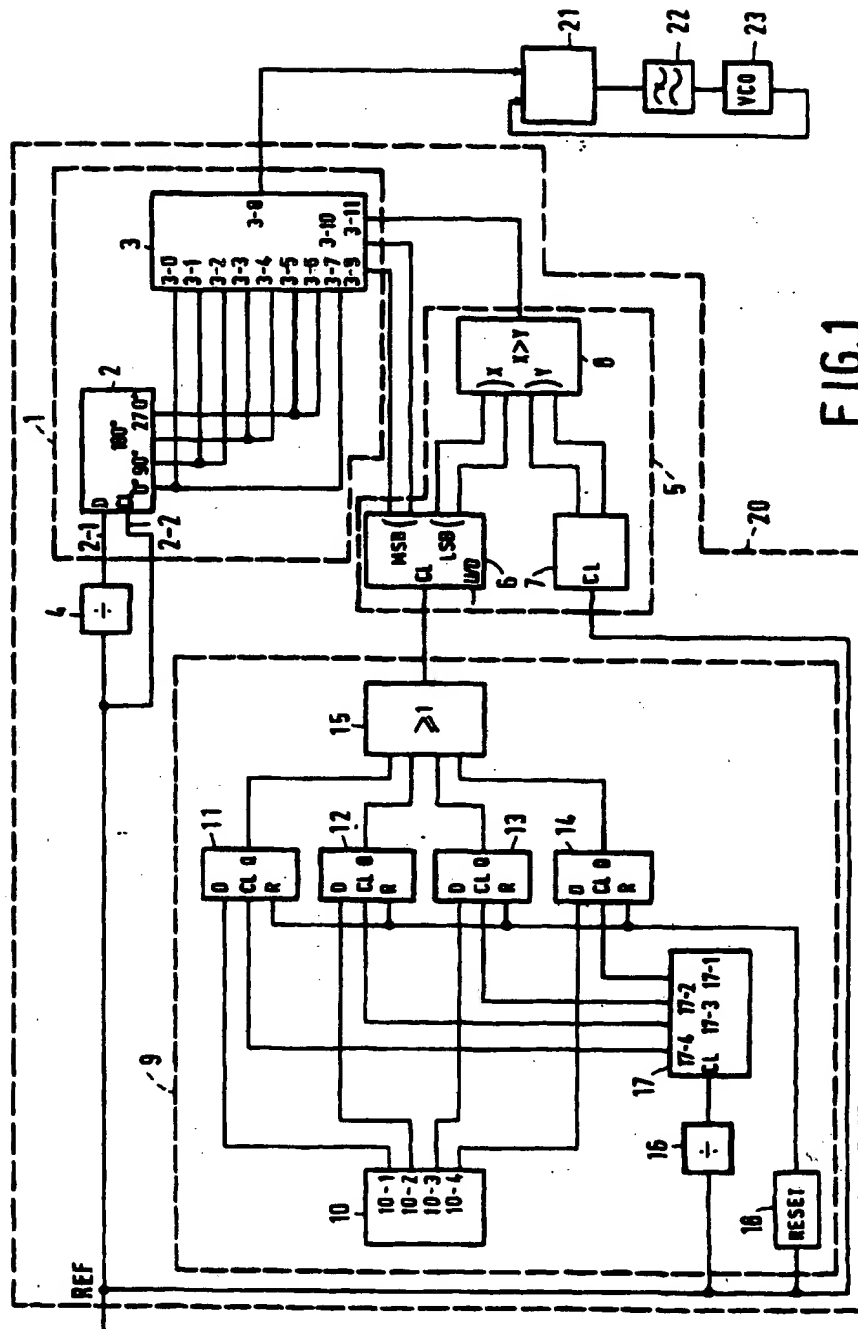
- das an einem Eingang des digitalen Oszillators (20) vorhanden ist, und zum Erzeugen eines Ausgangssignals an dem Ausgang des digitalen Oszillators (20) wobei dieses Ausgangssignal das um eine vorbestimmte Phasengröße je Zeitintervall verschobene Bezugssignal ist, dadurch gekennzeichnet, daß die Schiebe-und-Multiplexmittel (1)
- 5 des digitalen Oszillators (20) zum zusätzlichen Phasenschieben des Bezugssignals in dem Zeitintervall mittels wenigstens eines Phasenimpulses, der eine positive Phasenverschiebung und eine negative Phasenverschiebung mit einer vorbestimmten Amplitude herbeiführt, wobei der genannte Phasenimpuls in dem Zeitintervall liegt.

TEXT IN DER ZEICHNUNG

Fig. 2      Takt Zähler 6  
               Ausgang Zähler 6  
 5            Ausgang Vergleichsstufe 8  
               selektierte Phase

Fig. 3      Takt Zähler 6 : 1 MHz  
               Takt Zähler 6 : 0,5 MHz  
 10          Takt Zähler 6 : 0,2 MHz

**EP 0 512 621 B1**



**FIG. 1**

21.10.97

EP 0 512 621 B1

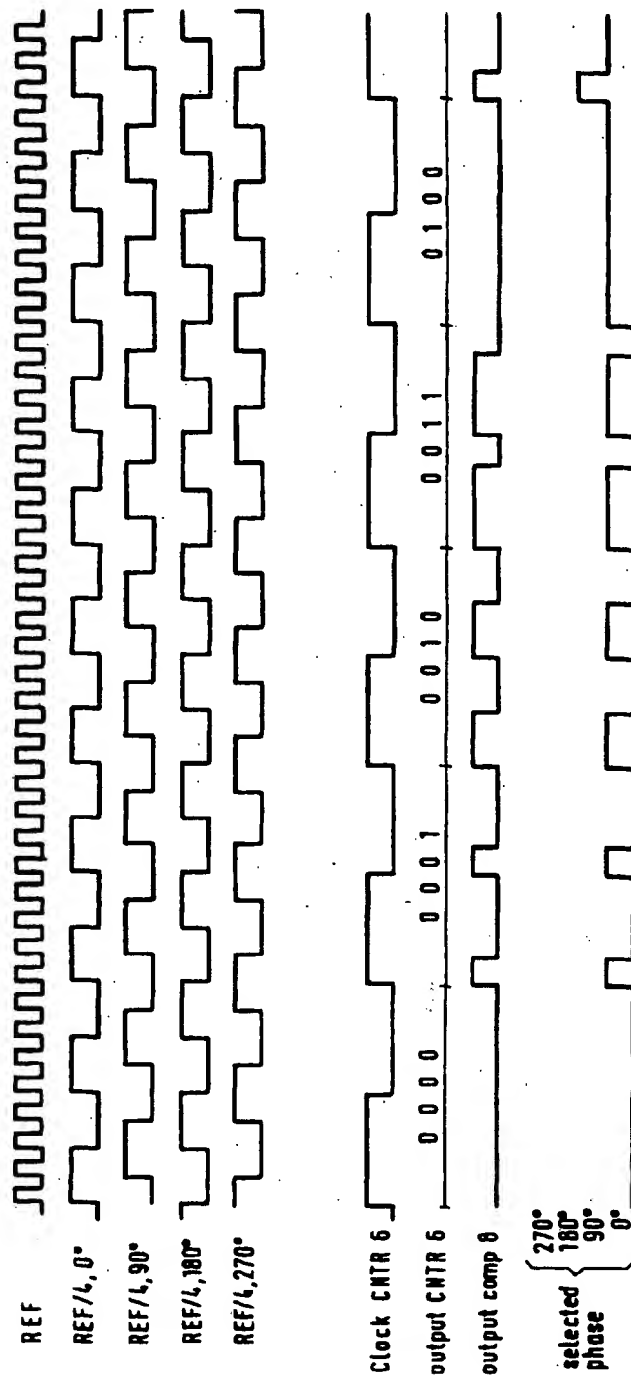


FIG. 2

21.10.97

EP 0 512 621 B1

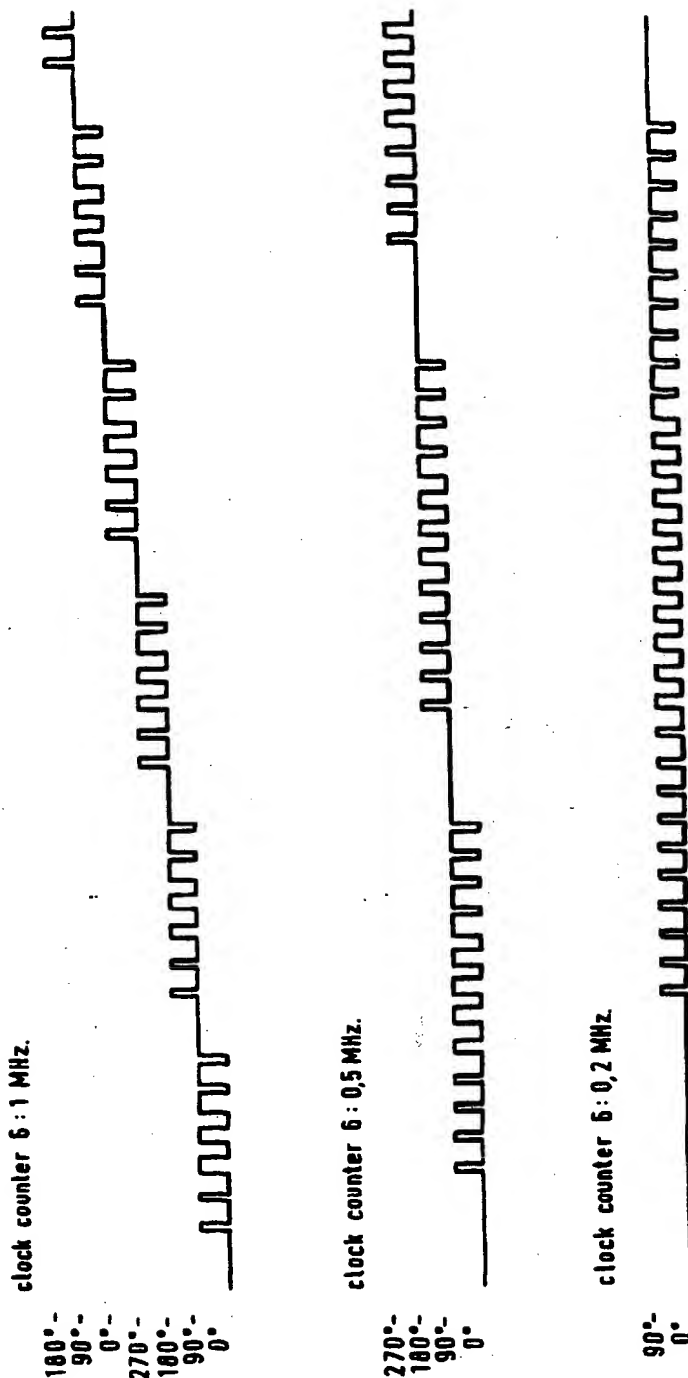


FIG. 3

Docket # M&N-IT255

Applic. # 09/992,281

Applicant: Schrödinger

Lerner and Greenberg, P.A.

Post Office Box 2480

Hollywood, FL 33022-2480

Tel: (954) 925-1100 Fax: (954) 925-1101